

Docket No.: K-0386

PATENT

JC978 U.S. PRO  
10/033979  
01/03/02  


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Han Su PAE, Young Sun NA, Oh Kyong KWON, and Hak Su KIM

Serial No.: New U.S. Patent Application

Filed: January 3, 2002

For: DRIVING CIRCUIT OF ACTIVE MATRIX METHOD IN DISPLAY DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 2001-625 filed January 5, 2001

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP



Daniel Y.J. Kim  
Registration No. 36,186  
Carl R. Wesolowski  
Registration No. 40,372

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

**Date: January 3, 2002**

DYK/CRW:cre

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

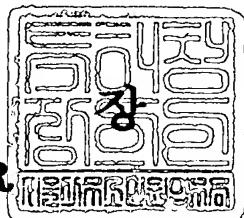
출원번호 : 특허출원 2001년 제 625 호  
Application Number PATENT-2001-0000625

출원년월일 : 2001년 01월 05일  
Date of Application JAN 05, 2001

출원인 : 엘지전자주식회사  
Applicant(s) LG ELECTRONICS INC.

2001 년 12 월 03 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2001.01.05
【국제특허분류】	H04L
【발명의 명칭】	표시 소자의 액티브 매트릭스 방식의 구동 회로
【발명의 영문명칭】	Drive Circuit of Active Matrix Formula for Display Device
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2000-005155-0
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2000-005154-2
【발명자】	
【성명의 국문표기】	배한수
【성명의 영문표기】	PAE, Han Su
【주민등록번호】	730126-1797812
【우편번호】	704-063
【주소】	대구광역시 달서구 두류3동 629-6 삼하아파트 A동 509호
【국적】	KR
【발명자】	
【성명의 국문표기】	나영선
【성명의 영문표기】	NA, Young Sun
【주민등록번호】	710524-1655012

【우편번호】	143-200
【주소】	서울특별시 광진구 구의동 590-5 썬빌리지 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	권오경
【성명의 영문표기】	KWON, Oh Kyong
【주민등록번호】	550407-1023118
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 7번지 장미아파트 14동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	김학수
【성명의 영문표기】	KIM, Hak Su
【주민등록번호】	670825-1670211
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 삼성아파트 5동 606호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	399,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 표시 소자의 액티브 매트릭스 방식의 구동 회로를 제공하기 위한 것으로서, 외부에서 인가되는 제어 전압을 스위칭하는 스위치와, 상기 제어 전압을 축적하는 캐패시터와, 상기 캐패시터에 축적된 전압에 의해 표시 소자를 발광시키는 구동부로 구성된 표시 소자의 액티브 매트릭스 방식의 구동 회로에 있어서, 상기 스위칭부에 연결되어 상기 표시소자에 인가되는 소정전류를 감지하고, 상기 제어전압을 조절하여 상기 구동부의 문턱 전압의 편차에 따른 표시 소자의 편차를 보정하는 편차 보정부와, 상기 구동부에 연결되어 상기 구동부에 인가되는 전압에 따라 상기 편차 보정부 및 상기 표시 소자에 인가되는 전류를 스위칭하는 스위칭부를 포함하여 구성되며, 구동부에 흐르는 전류에 따라 스위칭부를 제어하여 편차 보정부에서 구동부에 인가되는 전압을 제어함으로써 구동부의 문턱 전압 편차에 따른 표시 소자의 편차를 줄일 수 있다.

**【대표도】**

도 3

**【색인어】**

S &amp; H 회로, 액티브 매트릭스, 전류-대-전압 컨버터, OEL

**【명세서】****【발명의 명칭】**

표시 소자의 액티브 매트릭스 방식의 구동 회로{Drive Circuit of Active Matrix Formula for Display Device}

**【도면의 간단한 설명】**

도 1 은 종래 기술에 따른 액티브 매트릭스 방식의 구동 회로도  
도 2 는 본 발명에 따른 액티브 매트릭스 방식의 화소 내부 구동 회로도  
도 3 은 본 발명에 따른 액티브 매트릭스 방식의 화소 외부 구동 회로도  
도 4 는 도 2 및 도 3 에 도시된 바와 같은 회로도에 인가되는 각 신호의  
파형도

도 5 는 본 발명에 따른 제 2 실시예를 나타낸 회로도  
도 6 은 본 발명에 따른 제 2 실시예의 각 신호 파형을 나타낸 타이밍도  
도 7은 본 발명에 따른 제 3 실시예를 나타낸 구동 회로도  
도 8 은 도 7에 따른 각 제어 신호의 파형을 나타낸 타이밍도  
도 9는 본 발명에 따른 도 7의 레이아웃을 나타낸 도면

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 표시 소자의 액티브 매트릭스 방식 구동 회로에 관한 것이다.

<11> 최근 평판 디스플레이의 발전에 따라 LCD, PDP, FED, EL 등 여러 종류의 디스플레이 소자들이 개발되고 있다. 이러한 평판 디스플레이에는 그 구동 방법에 따라 다음과 같이 크게 두 가지로 나눌 수 있다.

<12> 그 중 하나는 패시브 매트릭스(Passive Matrix) 방식이고, 또 다른 하나는 액티브 매트릭스(Active Matrix)방식이다.

<13> 상기 패시브 매트릭스 방식은 액티브 매트릭스 방식에 비해 더욱 큰 전류 레벨을 요구한다.

<14> 따라서 LCD 나 PDP 등과 같은 전압 구동 방식에서는 화소(pixel)의 수가 증가함에 따라 더욱 큰 전류 레벨을 필요로 하므로 패시브 매트릭스 방식을 사용하고 있다.

<15> 그리고 FED나 EL 등과 같은 전류 구동 방식에서는 동일한 라인 타임(Line Time)이라도 더욱 큰 전류 레벨을 요구하는 패시브 매트릭스 방식보다 액티브 매트릭스 방식이 보다 유리한 방식으로 인식되고 있다.

<16> 도 1 은 종래 기술에 따른 액티브 매트릭스 방식의 구동 회로도이다.

<17> 도 1 에 도시된 바와 같이, 구동할 화소를 선택하는 스캔 라인(Scan Line : SEL)과, 제어된 양에 따라 화소에 전압을 인가하는 데이터 라인(Data Line : DATA)과, 상기 스캔 라인의 신호에 따라 데이터의 흐름을 제어하는 액티브 소자인 스위치\_P1과, 데이터 라인으로 인가되는 전압에 따라 정해진 전하를 축적하는 캐패시터\_Cs와, 캐패시터\_Cs에 축적된 전하에 의한 전압을 입력 받아 전류를 흘려 주는 구동용 트랜지스터\_P0와, 구동용 트랜지스터\_P0에 흐르는 전류에 의해

발광하는 OEL과, 상기 캐패시터\_Cs와 구동용 트랜지스터\_P0에 전원을 공급하는 양의 전원 VDD로 구성되어 있다.

<18> 이와 같이 구성된 종래 기술에 따른 표시 소자의 액티브 매트릭스 방식의 상세한 동작을 설명하면 다음과 같다.

<19> 먼저, 스캔 라인(Scan Line : SEL)에 의해 구동할 화소가 선택되면, 스위치\_P1에 의해 해당 화소가 온(ON)이 되고, 여기에 데이터 라인(Data Line : DATA)을 통해 그레이(gray) 조절된 제어 전압이 인가된다.

<20> 이 제어 전압은 캐패시터\_Cs에 저장됨과 동시에 구동용 트랜지스터\_P0을 구동하여 OEL의 발광에 필요한 만큼의 전류를 유기한다.

<21> 그리고 스캔 라인이 디스에이블(disable)된 이후 다음의 선택(select) 시간 까지는 캐패시터\_Cs에 저장된 전압에 의해 구동용 트랜지스터\_P0을 구동시킴으로 해서 한 프레임(frame)을 유지한다.

<22> 그러나 동일한 휘도를 갖는 데이터를 디스플레이 하고자 할 때 구동용 트랜지스터의 문턱 전압이 다르면 구동용 트랜지스터에 동일한 전압이 인가되어도 OEL을 구동시키는 구동 전류가 일정하지 않게 되어 OEL이 문턱 전압의 편차에 따라 제각기 다른 휘도로 발광하게 되어 문제가 발생한다.

<23> 따라서 트랜지스터의 문턱 전압의 편차에 따른 OEL의 표시 편차를 줄이기 위해 문턱 전압에 관계없이 OEL을 구동시키는 구동 전류를 일정하게 해주어야 한다.

**【발명이 이루고자 하는 기술적 과제】**

<24> 이상에서 설명한 종래 기술에 따른 표시 소자의 액티브 매트릭스 방식 구동 회로는 다음과 같은 문제점이 있다.

<25> 첫째, 구동용 트랜지스터의 문턱 전압이 패널의 제조 공정 상에서 필연적으로 오차가 발생하므로 이를 보정하기 위해 각 화소를 측정하여 그 편차를 보정해야 하기 때문에 화소들 사이에서 편차의 효과적인 보정이 어렵다.

<26> 둘째, 구동 전류의 레벨에 따라 제어 전압의 마진이 결정되므로, 구동 전류 레벨이 미세할 경우 수 V 혹은 수백 mV의 범위 내에서 64 ~ 256 그레이를 조정해야 하는 어려움이 있다.

<27> 따라서 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 구동 트랜지스터의 문턱 전압을 주변 픽셀들의 편차에 따라 효과적으로 보정하고 화소들 사이의 발광 균일성(uniformity)을 향상시키는 표시 소자의 액티브 매트릭스 방식의 구동 회로를 제공하는데 그 목적이 있다.

<28> 본 발명의 다른 목적은 화소의 크기가 수  $\mu\text{m}$  정도로 아주 작은 경우에도 동작 가능한 화소 구조를 제공하는데 있다.

<29> 본 발명의 또 다른 목적은 수 nA 정도로 아주 미세한 전류 레벨에서도 동작 할 수 있는 화소 구조를 제공하는데 있다.

**【발명의 구성 및 작용】**

<30> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시 소자의 액티브 매트릭스 방식의 구동 회로의 특징은 외부에서 인가되는 제어 전압을 스위칭하는

스위치와, 상기 제어 전압을 축적하는 캐패시터와, 상기 캐패시터에 축적된 전압에 의해 표시 소자를 발광시키는 구동부로 구성된 표시 소자의 액티브 매트릭스 방식의 구동 회로에 있어서, 상기 스위칭부에 연결되어 상기 표시소자에 인가되는 소정전류를 감지하고, 상기 제어 전압을 조절하여 상기 구동부의 문턱 전압의 편차에 따른 표시 소자의 편차를 보정하는 편차 보정부와, 상기 구동부에 연결되어 상기 구동부에 인가되는 전압에 따라 상기 편차 보정부 및 상기 표시 소자에 인가되는 전류를 스위칭하는 스위칭부를 포함하여 구성되는데 있다.

<31> 그리고 상기 편차 보정부는 상기 구동부에 흐르는 전류를 전압으로 전환하는 컨버터 또는 트랜스임피던스 증폭기와, 상기 컨버터에 의해 전환된 전압과 기준 전압을 비교하는 비교기와, 외부에서 램프파를 입력 받아 상기 비교기의 비교 결과가 동일한 경우, 상기 램프파 전압을 고정 및 유지하여 소정전압을 생성하는 S & H(sample & hold)부를 포함하여 구성되는데 그 특징이 있다.

<32> 그리고 상기 스위칭부는 상기 구동부와 상기 표시 소자 사이에 위치하여 상기 표시 소자에 인가되는 전류를 스위칭하는 제 1 스위치와, 상기 구동부와 상기 편차 보정부 사이에 위치하여 상기 편차 보정부에 인가되는 전류를 스위칭하는 제 2 스위치를 포함하여 구성되는데 그 특징이 있다.

<33> 이때 상기 제 1 스위치와 제 2 스위치는 서로 교차하면서 온/오프되는데 그 특징이 있다.

<34> 상기 제 1 스위치와 제 2 스위치는 NMOS 트랜지스터와 PMOS 트랜지스터로 각각 구성되는데 다른 특징이 있다.

<35> 상기 제 2 스위치와 편차 보정부 사이에 위치하여 상기 제 2 스위치를 통해 출력되는 전류를 증폭하여 편차 보정부에 입력하는 증폭부를 더 포함하여 구성되는데 또 다른 특징이 있다.

<36> 그리고 상기 증폭부는 상기 제 2 스위치의 출력단과 게이트가 연결되어, 상기 게이트와 그라운드에 연결된 한쪽단과의 전압차를 통해 증폭된 전류를 편차보정부로 출력하는 제 1 트랜지스터와, 상기 제 1 트랜지스터의 게이트와 그라운드에 각각 연결되어 외부 신호에 의해 상기 전압차를 조절하는 제 2 트랜지스터를 포함하여 구성되는데 그 특징이 있다.

<37> 본 발명의 특징에 따른 작용은 구동부에 스위칭부 및 편차 보정부를 추가하여 상기 구동부에 흐르는 전류를 제어함으로써 상기 구동부의 문턱 전압 편차에 따른 표시 소자의 편차를 줄일 수 있다.

<38> 본 발명의 다른 목적, 특성 및 이점들은 첨부한 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.

<39> 본 발명에 따른 표시 소자의 액티브 매트릭스 방식의 구동 회로의 바람직한 실시예에 대하여 첨부한 도면을 참조하여 설명하면 다음과 같다.

<40> 도 2 는 본 발명에 따른 액티브 매트릭스 방식의 화소 내부 구동 회로도이다.

<41> 도 2를 보면, 구동할 화소를 선택하는 스캔 라인(Scan Line : SEL)과, 제어된 양에 따라 화소에 제어 전압을 인가하는 데이터 라인(Data Line : DATA)과, 상기 스캔 라인의 신호에 따라 데이터의 흐름을 제어하는 스위치\_P1과, 데이터

라인으로 인가되는 전압을 따라 정해진 전하를 축적하는 캐패시터\_Cs와, 캐패시터\_Cs에 축적된 전하에 의한 전압을 입력받아 전류를 흘려주는 구동 트랜지스터\_P0와, 상기 구동 트랜지스터\_P0에 흐르는 전류에 의해 발광하는 OEL과, 상기 캐패시터\_Cs와 구동 트랜지스터\_P0에 전원을 공급하는 양의 전원 VDD로 구성된다.

<42> 그리고, 구동 트랜지스터\_P0과 OEL사이에 연결되어 별도의 제어 신호(SEL1)에 의해 온/오프(ON/OFF)상태가 결정되는 스위치\_P2와, 상기 스위치\_P2와 함께 연결되고 상기 OEL을 구동시키는 구동 전류를 디텍션(detection)할 수 있도록 별도의 제어 신호(/SEL1)에 의해 온/오프(ON/OFF)상태가 결정되는 드라이버 스위치\_P3으로 구성된 스위칭부(10)와, 상기 OEL의 캐소드(Cathode)부분에 인가되는 음의 전원\_-VSS과, 상기 스위치\_P3을 통해 출력되는 출력 전류\_Iout을 디텍션하여 구동 트랜지스터\_P0의 문턱전압의 편차를 보정하는 편차 보정부(20)를 더 포함하여 구성된다.

<43> 이와 같이 본 발명에 따른 화소의 구조는 도 1에서처럼 구동 트랜지스터\_P0가 직접 OEL에 연결되지 않고 추가된 스위치\_P2를 통하여 연결된다.

<44> 이때 상기 추가된 스위치\_P2는 별도의 제어 신호(/SEL)에 의해 온/오프상태가 결정된다.

<45> 그리고 또 다른 스위치\_P3은 편차 보정부(20)에서 구동 전류를 디텍션할 수 있도록 하기 위한 스위칭으로 사용된다.

<46> 본 발명의 핵심이라고 할 수 있는 편차 보정부(20)를 도면을 통해 상세히 설명하면 다음과 같다.

<47> 도 3 은 본 발명에 따른 화소 내부 구동 회로에 의한 화소의 편차를 보정하기 위한 편차 보정부(20)인 화소 외부 구동 회로도이다.

<48> 도 3을 보면, 도 2 에 도시된 바와 같은 액티브 매트릭스 방식의 화소 구동 회로의 외부에 연결되어 구동 전류  $I_{out}$ 을 디텍션하여 상기 디텍션한 구동 전류를 전압으로 전환하는 전류-대-전압 컨버터(I-to-V converter)(21)와, 상기 전류 대 전압 컨버터(21)에 의해 전환된 전압과 OEL이 소정의 휘도로 발광하도록 정해진 기준 전압인 그레이(gray) 조절된 제어 전압( $V_{ref}$ )을 비교하는 비교기(comparator)(22)와, 상기 비교기(22)의 비교를 통해 화소를 구동하는 구동 트랜지스터\_P0의 정확한 구동 전류에 대응하는 전압을 유지하여 화소의 데이터 라인에 인가되는 램프(ramp) 입력을 제어하는 S & H(sample&hold) 회로(23)로 구성된다.

<49> 이때, 상기 S & H(sample&hold) 회로(23)는 외부에서  $V_{ramp}$ 를 입력 받아 상기 비교기(22)의 결과에 따라 램프(ramp) 전압을 출력하고 상기 데이터 라인에 인가한다.

<50> 즉, 상기 비교 결과 전환된 전압과 기준 전압이 동일하지 않을 경우는 상기 외부에서 입력되는  $V_{ramp}$ 를 램프(ramp)로 출력하여 데이터 라인에 인가하고, 동일할 경우는 현재의  $V_{ramp}$  값으로 고정시켜 램프(ramp)로 출력하여 데이터 라인에 인가한다.

<51> 도 4 는 도 2 및 도 3 에 도시된 바와 같은 본 발명에 따른 액티브 매트릭스 방식의 화소 내부 및 외부 구동 회로에 인가되는 각 신호의 파형도이다.

<52> 도 4를 보면 해당 화소가 스캔 라인(SEL)에 의해 선택될 때 스위치\_P1과 스위치\_P2는 온이 된다. 그와 동시에 /SEL 신호에 의해 스위치\_P3은 오프가 된다.

<53> 이럴 경우, 데이터 라인을 통해 입력되는 램프(ramp) 전압은 스위치\_P1을 통해 구동 트랜지스터\_P0을 구동시키게 되고, 인가된 전압에 해당하는 만큼의 전류가 스위치\_P2를 통해 편차 보정부(20)에서 검출(sensing)하게 된다.

<54> 이렇게 검출된 전류는 도 3에 도시된 바와 같은 전류-대-전압(I-to-V) 컨버터(21)에 의해 전압으로 변경되고, 비교기(22)에 의해 그레이 조절된 제어전압과 비교하게 된다.

<55> 그리고 상기 비교기(22)에서 비교되는 두 전압 값이 일치할 때까지는 S&H 회로(23)를 통해 램프(ramp)전압이 화소로 계속 인가된다.

<56> 이때 비교기(22)에서 두 전압 값이 일치한다는 것은 구동 전류가 원하는 그레이를 낼 수 있는 전류량이 됐다고 판단한다.

<57> 이와 같이 비교기(22)에서 두 전압 값이 일치하면, S&H 회로(23)는 그때의  $V_{ramp}$  전압을 유지(hold)하여 일정한 전압을 데이터 라인에 인가한다.

<58> 그리고 전하 축적용 캐패시터\_Cs에 데이터 라인을 통해 인가되는 전압을 저장한다.

<59> 이어 해당 화소의 그 다음 화소가 선택될 때, 해당 화소의 SEL 신호는 오프되고, /SEL 신호는 온 된다.

<60> 즉, 스위치\_P2는 오프가 되고, 스위치\_P3은 온 된다.

<61> 그러면 해당 화소의 구동 트랜지스터\_P0은 전하 축적용 캐패시터\_Cs에 저장된 전압에 의해 구동되고, 이 전류가 스위치\_P3을 통해 OEL로 인가된다.

<62> 그리고 상기 OEL은 인가되는 해당 전류만큼의 발광을 하게 된다.

<63> 이때의 데이터 라인으로의 램프입력 값을 해당 화소의 전압을 유지(hold)하기 위해 T1(Hold Time) 동안 일정 전압을 유지한 후, T2(Data Clear Time)를 거쳐 다음 화소의 구동을 위해 Vramp 전압을 계속 인가한다.

<64> 본 발명을 응용한 다른 실시예들을 통해 보다 효율적인 성능을 가질 수 있다.

<65> 제 1 실시예

<66> 상기 전류-대-전압 컨버터(21)의 회로 대신 높은 트랜스 임피던스(transimpedance) 값을 갖는 증폭기를 사용할 경우 다음과 같은 이점을 얻을 수 있다.

<67> 스위치\_P1을 통해 그레이 조절된 제어 전압을 구동 트랜지스터\_P0에 인가할 경우, 종래의 화소구조에서는 구동 전류의 레벨에 따라 제어 전압의 마진이 결정되었다.

<68> 즉, 전류 레벨이 미세할 경우 수 V 혹은 수백 mV의 범위 내에서 64 ~ 256 그레이를 조정해야 하는 어려움이 있다.

<69> 따라서, 전류-대-전압 컨버터(21) 대신 높은 트랜스임피던스 (transimpedance) 값을 갖는 증폭기를 사용할 경우 그레이 조절된 제어 전압의 마진을 개선할 수 있다.

<70> 제 2 실시예

<71> 다른 실시예로써, 화소 내부에서 신호제어소자인 스캔라인을 공유할 수 있게 스위칭 소자를 PMOS 혹은 NMOS로 적절하게 만들어서 화소의 어퍼쳐 비 (aperture ratio)를 높일 수 있다.

<72> 그 동작을 도면을 참조하여 설명하면 다음과 같다.

<73> 도 5 는 본 발명에 따른 제 2 실시예를 나타낸 회로도이고, 도 6 은 본 발명에 따른 제 2 실시예의 각 신호 파형을 나타낸 타이밍도 이다.

<74> 도 5와 도 6을 통해 화소 구조를 설명하면 다음과 같다.

<75> 앞에서 설명한 도 3과 비교하면, 구동 트랜지스터\_P0이 NMOS 스위치\_N1을 통해 연결되어 있다는 점을 제외하고는 동일한 구조이다.

<76> 이렇게 NMOS 스위치\_N1을 사용할 경우, 해당되는 제어 신호를 따로 공급할 필요가 없다는 장점이 있다.

<77> 즉, 스위치\_P1과 스위치\_P2는 서로 반대로 스위칭되므로 제어 신호인 SEL 신호 하나만을 사용하여도 NMOS 스위치\_N1까지 제어할 수 있게 된다.

<78> 그럼 도 5와 도 6을 참조하여 상세 동작을 살펴보도록 한다.

<79> 먼저, 해당 화소가 스캔라인(SEL)에 의해 선택될 때, 스위치\_P1과 스위치\_P2는 온이 되고, NMOS 스위치\_N1은 오프가 된다.

<80> 이럴 경우, 램프 입력을 통해 인가되는 램프전압은 스위치\_P1을 통해 구동 트랜지스터\_P0을 구동시키게 되고, 인가된 전압에 해당하는 만큼의 전류가 스위치\_P2를 통해 편차 보정부에서 검출된다.

<81> 이렇게 검출된 전류는 도 4에서 설명한 것과 동일한 과정을 거쳐 구동 전류가 원하는 그레이를 표현할 수 있는 레벨에 이르게 되고, 이에 해당하는 전압은 전하 축적용 캐패시터\_Cs에 저장된다.

<82> 그리고 해당 화소의 그 다음 화소가 선택될 때, 해당 화소의 SEL 신호는 오프가 된다.

<83> 즉, 스위치\_P1과 스위치\_P2는 오프되고, NMOS 스위치\_N1은 온 된다.

<84> 이때 해당 화소의 구동 트랜지스터\_P0은 전하 축적용 캐패시터\_Cs에 저장된 전압에 의해 구동되고, 이때 상기 구동 트랜지스터\_P0에 흐르는 전류가 NMOS 스위치\_N1을 통해 OEL로 인가된다.

<85> 그리고 상기 OEL은 해당 전류만큼의 발광을 하게 된다.

<86> 이때의 램프 입력값은 해당 화소의 전압을 유지(hold)하기 위해 T1(Hold Time)동안 일정 전압을 유지한 후, T2(Data Clear Time)를 거쳐 다음 화소의 구동을 위해 램프 전압을 계속 인가한다.

<87> 제 3 실시예

<88> 본 발명의 또 다른 실시예를 도면을 통해 설명하면 다음과 같다.

<89> 도 7은 본 발명에 따른 제 3 실시예를 나타낸 구동 회로도이고, 도 8 은 도 7에 따른 각 제어 신호의 파형을 나타낸 타이밍도이다.

<90> 상기 도 7과 앞에서 설명한 도 5와의 차이를 보면, 노드 2와 노드 3 사이에 NMOS 소자를 사용한 점과, 추가로 N2, N3의 NMOS 소자가 사용된 점이다.

<91> 이때, 상기 N2, N3의 NMOS 소자는 스위치\_P2를 통해 출력되는 전류를 증폭하여 편차 보정부에 입력하는 증폭부(30)의 기능을 한다.

<92> 상기 증폭부의 구조를 보면, N3는 상기 스위치\_P2의 출력단과 게이트가 연결되어, 상기 게이트와 그라운드에 연결된 한쪽단과의 게이트 소스간의 전압차를 통해 증폭된 전류를 편차보정부로 출력한다.

<93> 그리고 N2는 상기 N3의 게이트와 그라운드에 각각 연결되어 외부 신호에 의해 상기 N3의 게이트 소스간의 전압차를 조절한다.

<94> 이와 같이 N2, N3이 추가로 사용되어 나타나는 효과를 살펴보면 다음과 같다.

<95> 앞에서 설명한 도 2의 구조는  $I_{out}$ 의 전류레벨이 매우 낮을 경우, 구동 회로부에서 이를 감지하기가 용이하지 않다.

<96> 따라서, 액티브 화소내에서 증폭된  $I_{out}$ 을 생성할 필요가 있는데, 이와 같은 목적으로 N2와 N3이 추가된 것이다.

<97> 즉, 노드 4에 존재하는 기생 캐패시턴스에 전하가 축적되어 N3의  $V_{gs}$ (게이트 소스간 전압)를 높여 주게 되면 증폭된  $I_{out}$ 이 출력된다.

<98> 이와 같이 도 7에서 도 2의 트랜지스터\_P2(PMOS)를 N1로 바꿈으로 얻어지는 효과를 크게 두 가지로 나눌 수 있다.

<99> 첫째는 도 7에서 사용된 N2,N3에 사용된 Pwell을 공유하여 레이아웃 (layout) 면적을 줄일 수 있다.

<100> 그리고 두 번째는 노드 3과 접지전극 사이에 존재하는 N-P 다이오드를 이용하여 만약 노드 3에 음전압이 인가되는 경우에 노드 3을 약 -0.7V 이하가 되지 않게 함으로써, P2소자를 보호하는 역할을 수행한다.

<101> 또한 도 7의 N2, N3을 인접한 화소와 공유함으로써, 레이아웃 면적을 줄일 수 있다.

<102> 이와 같은 방법을 이용하여 면적을 줄인 레이아웃을 도 9에서 보여주고 있다.

<103> 그럼 도 7과 도 8을 참조하여 상세한 동작을 설명하면 다음과 같다.

<104> 도 7의 스캔 신호가 도 8의 t4상태일 때, 이를 한 스캔 시간(one scan time)이라고 하고, 이때의 P1,P3이 각각 온되고 N1은 오프 상태가 된다.

<105> 그리고 도 8의 t1 시간동안 Iout이 출력되어 나오는 콜롬(column) 라인이 초기화(clear)되고, t2 시간 동안 Vramp 신호에 의해 노드 1의 데이터 초기화 (clear)가 이루어진다.

<106> 또한, t3 시간 동안 노드 1에 인가되어야 할 전압이 결정되게 된다.

<107> 도 8의 t5 시간동안 t4의 과정이 총 스캔라인 개수만큼 반복된다.

<108> 도 9는 도 7 회로의 레이아웃 실시예를 보인 것으로, 두 개의 수직으로 인접한 화소에 대한 레이아웃 실시예이다.

<109> 도 9에서 도 7의 P2 소자가 구불구불한 스네이크(snake)형태로 되어 있는데, 이는 작은 화소내에 매우 긴 채널을 갖는 소자를 형성할 때 매우 유용하고, 도 7의 Cs를 크게 하는데에도 매우 효과적이다.

### 【발명의 효과】

<110> 이상에서 설명한 바와 같은 본 발명에 따른 표시 소자의 액티브 매트릭스 방식 구동 회로는 다음과 같은 효과가 있다.

<111> 첫째, 구동 트랜지스터의 문턱 전압 편차에 둔감하게 디스플레이 소자를 구동할 수 있으므로 화소들 사이에서의 표시 편차를 줄여 발광 균일성(uniformity)을 개선하는 효과가 있다.

<112> 둘째, 트랜스 임피던스 증폭기를 전류를 이용하여 구동하는 표시 소자의 화소 내부 및 외부 구동 회로에 적용하여 제어 전압의 마진을 개선하여 아주 미세한 전류 레벨에서도 원하는 발광 동작을 얻는 효과가 있다.

<113> 셋째, 스네이크(snake) 형태의 트랜지스터를 이용하여 적은 면적에서도 유용한 긴 채널을 가지는 소자를 제작하고 더불어 전하 축적용 캐패시터의 용량도 크게 할 수 있다.

<114> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

1020010000625

출력 일자: 2001/12/4

<115> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의하여 정해져야 한다.

**【특허청구범위】****【청구항 1】**

외부에서 인가되는 제어 전압을 스위칭하는 스위치와, 상기 제어 전압을 축적하는 캐패시터와, 상기 캐패시터에 축적된 전압에 의해 표시 소자를 발광시키는 구동부로 구성된 표시 소자의 액티브 매트릭스 방식의 구동 회로에 있어서, 상기 스위칭부에 연결되어 상기 표시소자에 인가되는 소정전류를 감지하고 상기 제어전압을 조절하여 상기 구동부의 문턱 전압의 편차에 따른 표시 소자의 편차를 보정하는 편차 보정부와,

상기 구동부에 연결되어 상기 구동부에 인가되는 전압에 따라 상기 편차 보정부 및 상기 표시 소자에 인가되는 전류를 스위칭하는 스위칭부를 포함하여 구성됨을 특징으로 하는 표시 소자의 액티브 매트릭스 방식 구동 회로.

**【청구항 2】**

제 1 항에 있어서, 상기 편차 보정부는  
상기 구동부에 흐르는 전류를 전압으로 전환하는 컨버터와,  
상기 컨버터에 의해 전환된 전압과 기준 전압을 비교하는 비교기와,  
외부에서 램프파를 입력받아 상기 비교기의 비교 결과가 동일한 경우, 상기 램프파 전압을 고정 및 유지하여 소정전압의 형태인 제어전압을 생성하는 S & H(sample & hold)부를 포함하여 구성됨을 특징으로 하는 표시 소자의 액티브 매트릭스 방식의 구동 회로.

**【청구항 3】**

제 1 항에 있어서, 상기 편차 보정부는

상기 구동부에 흐르는 전류를 증폭된 전압으로 전환하는 트랜스임피던스 증폭기와,

상기 트랜스임피던스 증폭기에 의해 전환된 전압과 소정의 휘도를 갖는 기준 전압을 입력받아 상기 두 전압을 비교하는 비교기와,

외부에서 램프파를 입력받아 상기 비교기의 비교 결과가 동일한 경우, 상기 램프파 전압을 고정 및 유지하여 소정전압의 형태인 제어전압을 생성하는 S & H(sample & hold)부를 포함하여 구성됨을 특징으로 하는 표시 소자의 액티브 매트릭스 방식의 구동 회로.

**【청구항 4】**

제 1 항에 있어서, 상기 스위칭부는

상기 구동부와 상기 표시 소자 사이에 위치하여 상기 표시 소자에 인가되는 전류를 스위칭하는 제 1 스위치와,

상기 구동부와 상기 편차 보정부 사이에 위치하여 상기 편차 보정부에 인가되는 전류를 스위칭하는 제 2 스위치를 포함하여 구성됨을 특징으로 하는 표시 소자의 액티브 매트릭스 방식의 구동 회로.

**【청구항 5】**

제 4 항에 있어서,

상기 제 1 스위치와 제 2 스위치는 서로 교차하면서 온/오프되는 것을 특징으로 하는 표시소자의 액티브 매트릭스 방식의 구동 회로.

#### 【청구항 6】

제 4 항에 있어서,

상기 제 1 스위치와 제 2 스위치는 NMOS 트랜지스터와 PMOS 트랜지스터로 각각 구성되는 것을 특징으로 하는 표시소자의 액티브 매트릭스 방식의 구동 회로.

#### 【청구항 7】

제 4 항에 있어서,

상기 제 2 스위치와 편차 보정부 사이에 위치하여 상기 제 2 스위치를 통해 출력되는 전류를 증폭하여 편차 보정부에 입력하는 증폭부를 더 포함하여 구성되는 것을 특징으로 하는 표시소자의 액티브 매트릭스 방식의 구동 회로.

#### 【청구항 8】

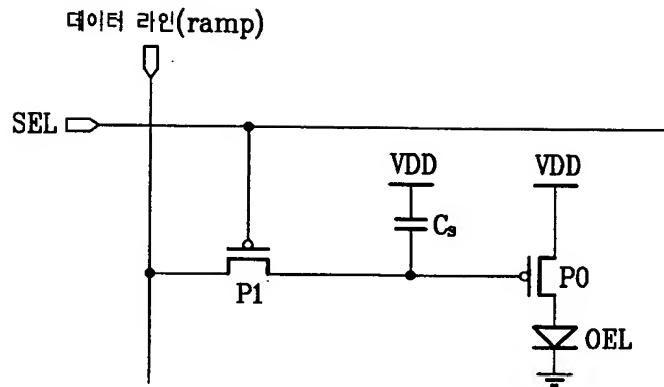
제 7 항에 있어서, 상기 증폭부는

상기 제 2 스위치의 출력단과 게이트가 연결되어, 상기 게이트와 그라운드에 연결된 한쪽단과의 전압차를 통해 증폭된 전류를 편차보정부로 출력하는 제 1 트랜지스터와,

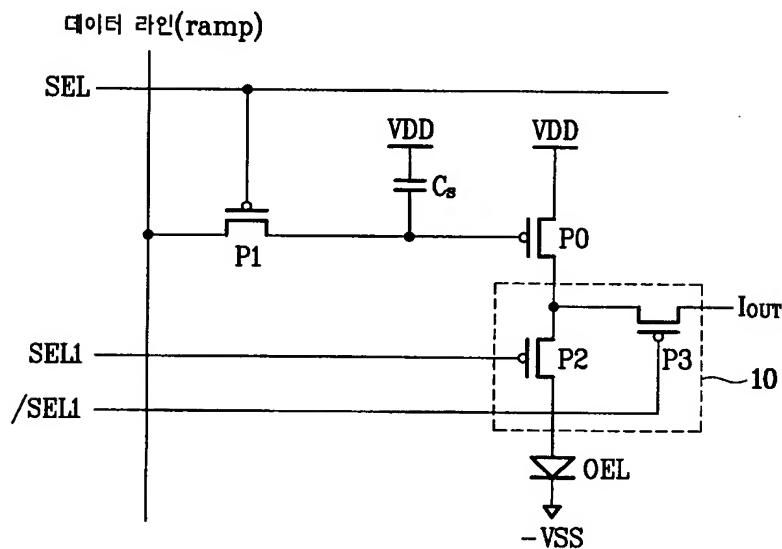
상기 제 1 트랜지스터의 게이트와 그라운드에 각각 연결되어 외부 신호에 의해 상기 전압차를 조절하는 제 2 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 표시소자의 액티브 매트릭스 방식의 구동회로.

## 【도면】

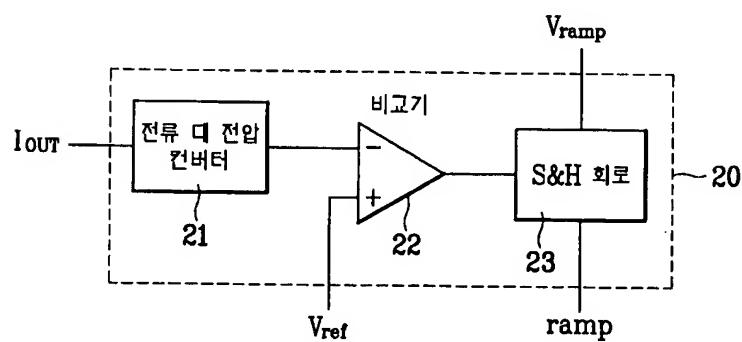
【도 1】



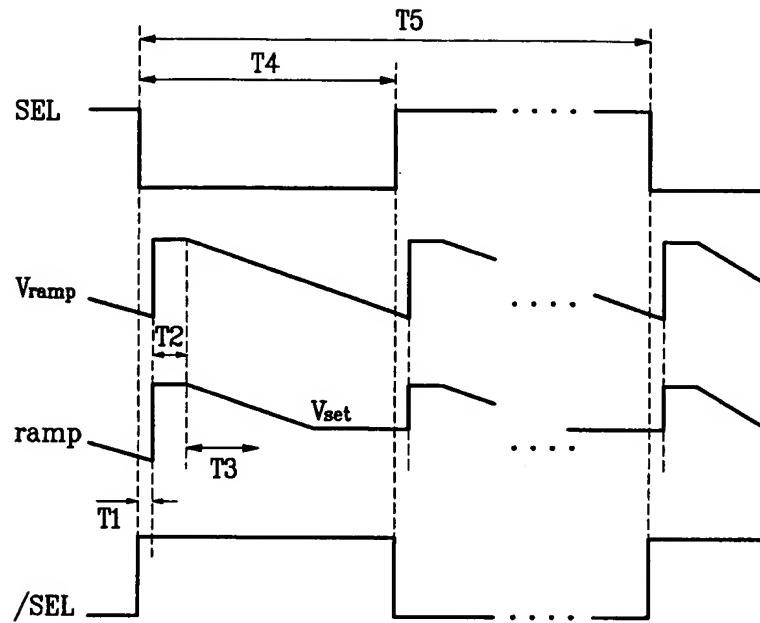
【도 2】



【도 3】



【도 4】



T1 : Hold Time

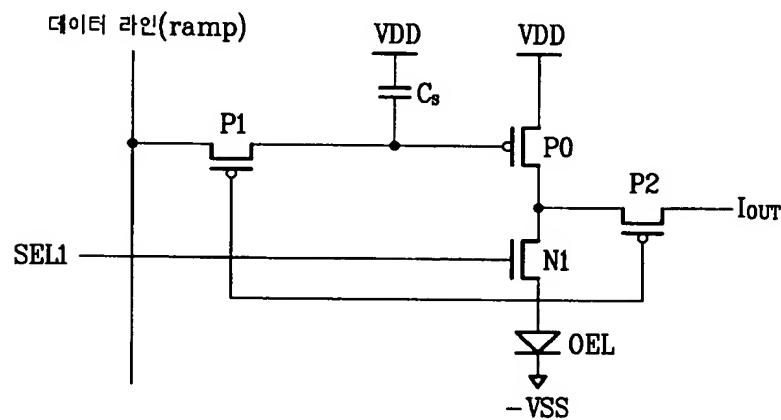
T2 : Data Clear Time

T3 : Data Decision Time

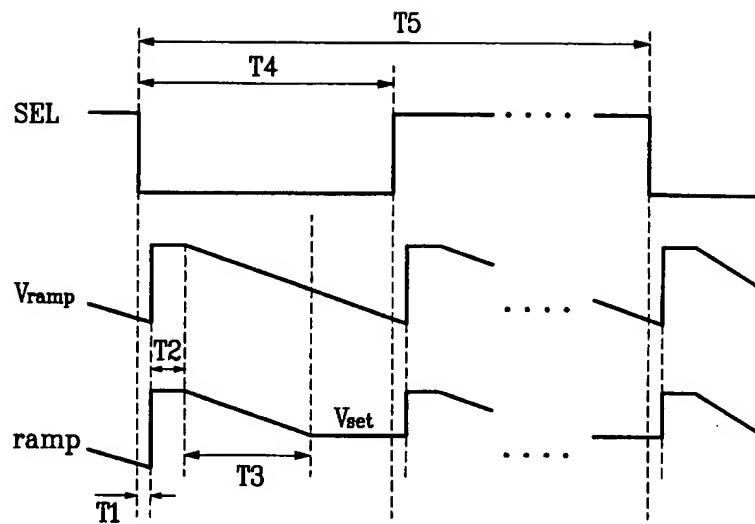
T4 : 1 Line Time

T5 : 1 Frame Time

【도 5】

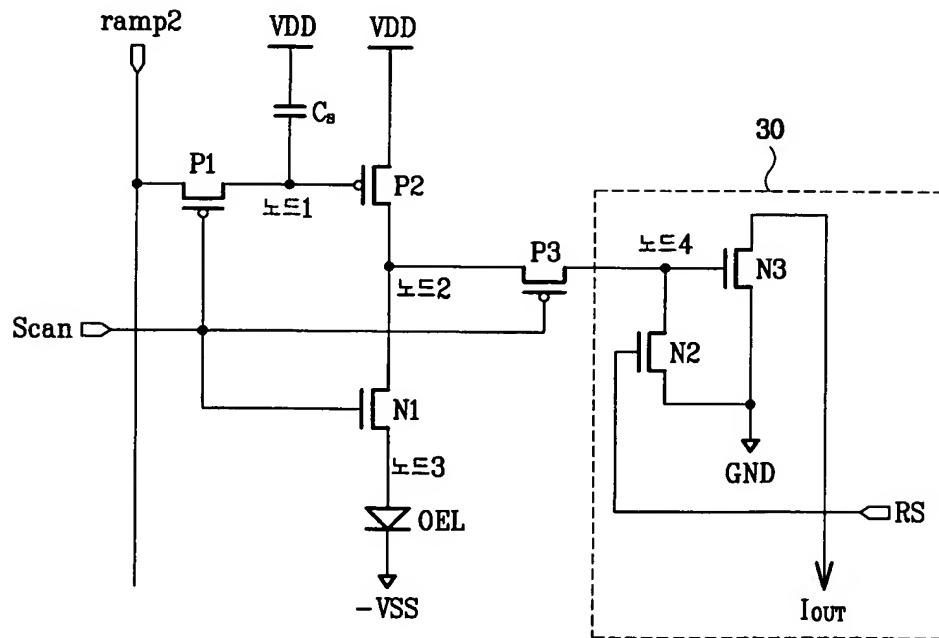


【도 6】

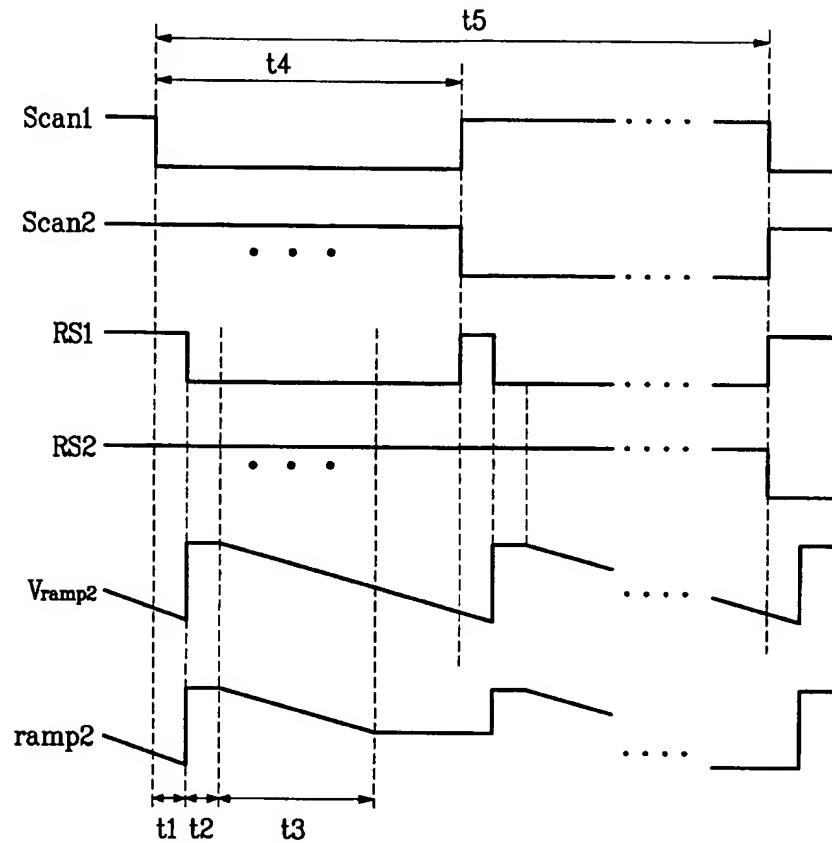


T1 : Hold Time  
 T2 : Data Clear Time  
 T3 : Data Decision Time  
 T4 : 1 Line Time  
 T5 : 1 Frame Time

【도 7】



【도 8】



t1 : Iout Reset Time  
t2 : Data Reset Time  
t3 : Data Writing Time  
t4 : One Scan Time  
t5 : One Frame Time

1020010000625

출력 일자: 2001/12/4

【도 9】

